



УКРАЇНА

(19) UA

(11) 158284

(13) U

(51) МПК

H03K 5/22 (2006.01)

H03F 3/26 (2006.01)

НАЦІОНАЛЬНИЙ ОРГАН
ІНТЕЛЕКТУАЛЬНОЇ ВЛАСНОСТІ
ДЕРЖАВНА ОРГАНІЗАЦІЯ
"УКРАЇНСЬКИЙ НАЦІОНАЛЬНИЙ
ОФІС ІНТЕЛЕКТУАЛЬНОЇ
ВЛАСНОСТІ ТА ІННОВАЦІЙ"

(12) ОПИС ДО ПАТЕНТУ НА КОРИСНУ МОДЕЛЬ

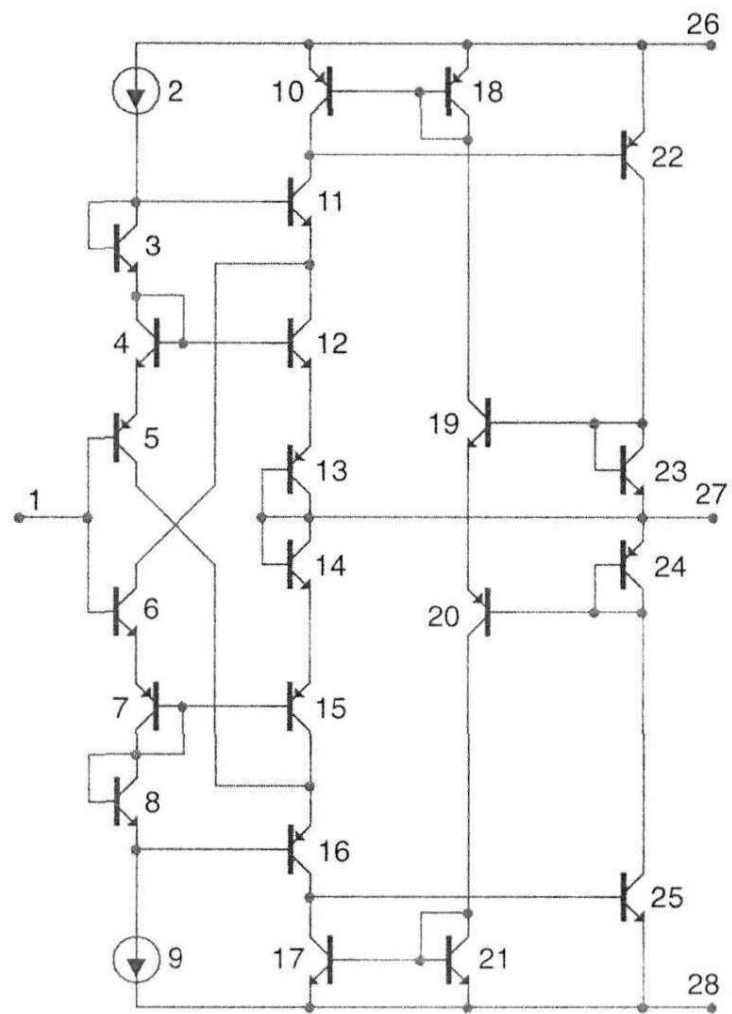
(21) Номер заявки: u 2024 03643	(72) Винахідник(и): Азаров Олексій Дмитрович (UA), Богомолов Сергій Віталійович (UA), Муращенко Олександр Генадійович (UA), Лукашук Олександр Олегович (UA)
(22) Дата подання заявки: 15.07.2024	
(24) Дата, з якої є чинними права інтелектуальної власності: 16.01.2025	
(46) Публікація відомостей про державну реєстрацію: 15.01.2025, Бюл.№ 3	(73) Володілець (володільці): ВІННИЦЬКИЙ НАЦІОНАЛЬНИЙ ТЕХНІЧНИЙ УНІВЕРСИТЕТ, вул. Хмельницьке шосе, 95, м. Вінниця, 21021 (UA)

(54) БУФЕРНИЙ КАСКАД

(57) Реферат:

Буферний каскад містить двадцять два транзистори, два джерела струму, шини додатного та від'ємного живлення, вхідну та вихідну шини.

UA 158284 U



Корисна модель належить до імпульсної техніки і може бути використана в аналого-цифрових перетворювачах і цифрових вимірювальних приладах.

Відомо буферний пристрій [Бахтиаров Г.Д., Малинин В.В., Школин В.П. Аналого-цифровые преобразователи / Под ред. Г.Д.Бахтиарова. - М.: Советское радио, 1980. - 280 с. ил. Рис. 6.28 на сторінці 150], який містить вісім транзисторів, два джерела струму, шини додатного та від'ємного живлення, вхідну та вихідну шини. Бази четвертого та п'ятого транзисторів з'єднано з вхідною шиною. Емітери четвертого та п'ятого транзисторів з'єднано з емітерами першого та восьмого транзисторів, відповідно, та з базами третього та шостого транзисторів, відповідно, колектори четвертого та п'ятого транзисторів з'єднано з колекторами шостого та третього транзисторів, відповідно, а також з емітерами сьомого та другого транзисторів, відповідно. Бази та колектори першого та восьмого транзисторів з'єднано з базами другого та сьомого транзисторів, відповідно, а також з'єднано з шинами додатного та від'ємного живлення через перше та друге джерела струму, відповідно. Колектори другого та сьомого транзисторів з'єднано з шинами додатного та від'ємного живлення, відповідно. Емітери третього та шостого транзисторів з'єднано з вихідною шиною.

Недоліком цього технічного рішення є низька точність, що викликано значною вихідною напругою зміщення нуля через неідентичність параметрів пар n-p-n та p-n-p транзисторів у верхньому та нижньому каналах.

Найближчим аналогом є буферний каскад (патент України № 15896, МПК H03K 5/22 G05B 1/00, опубл. 17.07.2006, бюл. № 7), що містить дванадцять транзисторів, два джерела струму, шини додатного та від'ємного живлення, вхідну та вихідну шини, причому вхідна шина з'єднана з базами третього та четвертого транзисторів, колектори яких з'єднані з колекторами восьмого та одинадцятого транзисторів, відповідно, та емітерами сьомого та дванадцятого транзисторів, відповідно, емітери третього та четвертого транзисторів з'єднані з емітерами другого та п'ятого транзисторів, відповідно, колектори другого і п'ятого транзисторів об'єднані з базами і приєднані до баз восьмого та одинадцятого транзисторів, відповідно, емітер першого транзистора з'єднаний з колектором другого транзистора, база першого транзистора об'єднана з колектором і приєднана до бази сьомого транзистора, а також до шини додатного живлення через перше джерело струму, емітер шостого транзистора з'єднаний з базою дванадцятого транзистора, а також з шиною від'ємного живлення через друге джерело живлення, база шостого транзистора об'єднана з колектором і приєднана до колектора п'ятого транзистора, колектори сьомого та дванадцятого транзисторів з'єднані з шинами додатного і від'ємного живлення, емітери восьмого та одинадцятого з'єднані з емітерами дев'ятого та десятого транзисторів, відповідно, бази дев'ятого та десятого транзисторів об'єднані з колекторами, відповідно, і приєднані до вихідної шини.

Недоліками найближчого аналога є недостатня точність та мала навантажувальна здатність.

В основу корисної моделі поставлено задачу створення буферного каскаду, в якому за рахунок введення нових елементів і зав'язків між ними підвищується точність та збільшується навантажувальна здатність.

Поставлена задача вирішується тим, що у буферний каскад, що містить дванадцять транзисторів, два джерела струму, шини додатного та від'ємного живлення, вхідну та вихідну шини, причому вхідна шина з'єднана з базами третього та четвертого транзисторів, колектори яких з'єднані з колекторами восьмого та одинадцятого транзисторів, відповідно, та емітерами сьомого та дванадцятого транзисторів, відповідно, емітери третього та четвертого транзисторів з'єднані з емітерами другого та п'ятого транзисторів, відповідно, колектори другого і п'ятого транзисторів об'єднані з базами і приєднані до баз восьмого та одинадцятого транзисторів, відповідно, емітер першого транзистора з'єднаний з колектором другого транзистора, база першого транзистора об'єднана з колектором і приєднана до бази сьомого транзистора, а також до першого джерела струму, емітер шостого транзистора з'єднаний з базою дванадцятого транзистора, а також з другим джерелом живлення, база шостого транзистора об'єднана з колектором і приєднана до колектора п'ятого транзистора, емітери восьмого та одинадцятого з'єднані з емітерами дев'ятого та десятого транзисторів, відповідно, бази дев'ятого та десятого транзисторів об'єднані з колекторами, відповідно, згідно з корисною моделлю, додатково введено десять транзисторів, причому емітери тринадцятого та чотирнадцятого транзисторів з'єднані з першим та другим джерелом струму, а також з емітерами п'ятнадцятого та вісімнадцятого транзисторів, відповідно, а також з емітерами дев'ятнадцятого та двадцять другого транзистора, відповідно, а також з шинами додатного та від'ємного живлення, відповідно, колектори тринадцятого та чотирнадцятого транзисторів з'єднано з колекторами сьомого та дванадцятого транзисторами, відповідно, і приєднано до баз дев'ятнадцятого та

двадцять другого транзисторів, відповідно, бази тринадцятого та чотирнадцятого транзисторів з'єднані з базами і колекторами п'ятнадцятого та вісімнадцятого транзисторів, відповідно, а також з колекторами шістнадцятого та сімнадцятого транзисторів, відповідно, емітери шістнадцятого та сімнадцятого транзисторів об'єднано, бази шістнадцятого та сімнадцятого транзисторів з'єднані з базами і колекторами двадцятого і двадцять першого транзисторів, відповідно, а також з колекторами дев'ятнадцятого та двадцять другого транзисторів, відповідно, емітери двадцятого і двадцять першого транзисторів об'єднані і приєднані до об'єднаних колекторів дев'ятого і десятого транзисторів, відповідно, а також до вихідної шини.

Корисна модель пояснюється кресленням, на якому зображена схема буферного каскаду.

Пристрій містить вхідну шину 1, яка з'єднана з базами третього 5 та четвертого 6 транзисторів, колектори яких з'єднані з колекторами восьмого 12 та одинадцятого 15 транзисторів, відповідно, та емітерами сьомого 11 та дванадцятого 16 транзисторів, відповідно, емітери третього 5 та четвертого 6 транзисторів з'єднані з емітерами другого 4 та п'ятого 7 транзисторів, відповідно, колектори другого 4 і п'ятого 7 транзисторів об'єднані з базами і приєднані до баз восьмого 12 та одинадцятого 15 транзисторів, відповідно, емітер першого 3 транзистора з'єднаний з колектором другого 4 транзистора, база першого 3 транзистора об'єднана з колектором і приєднана до бази сьомого 11 транзистора, а також до першого джерела струму 2, емітер шостого 8 транзистора з'єднаний з базою дванадцятого 16 транзистора, а також другим джерелом струму 9, база шостого 8 транзистора об'єднана з колектором і приєднана до колектора п'ятого транзистора, емітери восьмого 12 та одинадцятого 15 з'єднані з емітерами дев'ятого 13 та десятого 14 транзисторів, відповідно, бази дев'ятого 13 та десятого 14 транзисторів об'єднані з колекторами, відповідно, емітери тринадцятого 10 та чотирнадцятого 17 транзисторів з'єднані з першим 2 та другим 9 джерелом струму, а також з емітерами п'ятнадцятого 18 та вісімнадцятого 21 транзисторів, відповідно, а також з емітерами дев'ятнадцятого 22 та двадцять другого 25 транзистора, відповідно, а також з шинами додатного 26 та від'ємного 28 живлення, відповідно, колектори тринадцятого 10 та чотирнадцятого 17 транзисторів з'єднано з колекторами сьомого 11 та дванадцятого 16 транзисторами, відповідно, і приєднано до баз дев'ятнадцятого 22 та двадцять другого 25 транзисторів, відповідно, бази тринадцятого 10 та чотирнадцятого 17 транзисторів з'єднані з базами і колекторами п'ятнадцятого 18 та вісімнадцятого 21 транзисторів, відповідно, а також з колекторами шістнадцятого 19 та сімнадцятого 20 транзисторів, відповідно, емітери шістнадцятого 19 та сімнадцятого 20 транзисторів об'єднано, бази шістнадцятого 19 та сімнадцятого 20 транзисторів з'єднані з базами і колекторами двадцятого 23 та двадцять першого 24 транзисторів, відповідно, а також з колекторами дев'ятнадцятого 22 та двадцять другого 25 транзисторів, відповідно, емітери двадцятого 23 і двадцять першого 24 транзисторів об'єднані, і приєднані до об'єднаних колекторів дев'ятого 13 і десятого 14 транзисторів, відповідно, а також до вихідної шини 27.

Працює пристрій таким чином.

Якщо вхідна напруга має від'ємну полярність, то потенціали емітерів третього 5, другого 4, восьмого 12, дев'ятого 13 транзисторів зменшуються, а також напруга на виході 27 стає від'ємною.

Якщо напруга на вході 1 має додатну полярність, то потенціали емітерів четвертого 6, п'ятого 7, одинадцятого 15 та десятого 14 транзисторів збільшуються і напруга на виході 27 стає додатною.

Сьомий 11 та дванадцятий 16 транзистори побудовані за каскадною схемою і слугують для блокування передачі змінення напруги на колектори тринадцятого 10 та чотирнадцятого 17 транзисторів. Перший 3 та шостий 8 транзистори забезпечують формування напруги зміщення на базі сьомого 11 та дванадцятого 16 транзисторів. Тринадцятий 10 та п'ятнадцятий 18 і чотирнадцятий 14 та вісімнадцятий 21 транзистори є відбивачами струму, і слугують для передачі зворотного зв'язку до ядра схеми побудованого на третьому 6 та четвертому 6 і восьмому 12 та одинадцятому 15 транзисторах. Дев'ятнадцятий 22 і двадцять другий 25 транзистори слугують для збільшення коефіцієнта передачі при розірваній петлі зворотного зв'язку. Шістнадцятий 19 та сімнадцятий 20 і двадцятий 23 та двадцять перший 24 транзистори є двонаправленим відбивачем струму, і слугують для завдання зворотного зв'язку між ядром схеми і вихідним каскадом на шістнадцятому 19 та сімнадцятому 20 і двадцятому 23 та двадцять першому 24 транзисторах. Перший 2 та другий 9 генератори струму забезпечують завдання по постійному струму всіх елементів схеми. На шини 26 і 28 подається від'ємне і додатне живлення, відповідно.

ФОРМУЛА КОРИСНОЇ МОДЕЛІ

Буферний каскад, що містить дванадцять транзисторів, два джерела струму, шини додатного та від'ємного живлення, вхідну та вихідну шини, причому вхідна шина з'єднана з базами третього та четвертого транзисторів, колектори яких з'єднані з колекторами восьмого та одинадцятого транзисторів, відповідно, та емітерами сьомого та дванадцятого транзисторів, відповідно, емітери третього та четвертого транзисторів з'єднані з емітерами другого та п'ятого транзисторів, відповідно, колектори другого і п'ятого транзисторів об'єднані з базами і приєднані до баз восьмого та одинадцятого транзисторів, відповідно, емітер першого транзистора з'єднаний з колектором другого транзистора, база першого транзистора об'єднана з колектором і приєднана до бази сьомого транзистора, а також до першого джерела струму, емітер шостого транзистора з'єднаний з базою дванадцятого транзистора, а також другим джерелом живлення, база шостого транзистора об'єднана з колектором і приєднана до колектора п'ятого транзистора, емітери восьмого та одинадцятого з'єднані з емітерами дев'ятого та десятого транзисторів, відповідно, бази дев'ятого та десятого транзисторів об'єднані з колекторами, відповідно, який **відрізняється** тим, що введено десять транзисторів, причому емітери тринадцятого та чотирнадцятого транзисторів з'єднані з першим та другим джерелами струму, а також з емітерами п'ятнадцятого та вісімнадцятого транзисторів, відповідно, а також з емітерами дев'ятнадцятого та двадцять другого транзистора, відповідно, а також з шинами додатного та від'ємного живлення, відповідно, колектори тринадцятого та чотирнадцятого транзисторів з'єднані з колекторами сьомого та дванадцятого транзисторами, відповідно, і приєднані до баз дев'ятнадцятого та двадцять другого транзисторів, відповідно, бази тринадцятого та чотирнадцятого транзисторів з'єднані з базами і колекторами п'ятнадцятого та вісімнадцятого транзисторів, відповідно, а також з колекторами шістнадцятого та сімнадцятого транзисторів відповідно, емітери шістнадцятого та сімнадцятого транзисторів об'єднані, бази шістнадцятого та сімнадцятого транзисторів з'єднані з базами і колекторами двадцятого і двадцять першого транзисторів, відповідно, а також з колекторами дев'ятнадцятого та двадцять другого транзисторів, відповідно, емітери двадцятого і двадцять першого транзисторів об'єднані і приєднані до об'єднаних колекторів дев'ятого і десятого транзисторів, відповідно, а також до вихідної шини.

