

Пристрій визначення вибіркового математичного сподівання містить: першу вхідну p -розрядну шину, другу вихідну m -розрядну шину, p -розрядний накопичуючий суматор, p -входів якого з'єднані з першими p -входами пристрою, виходи накопичуючого суматора з'єднані з відповідними входами паралельного регістра пам'яті, прямі виходи якого з'єднані з другими входами накопичуючого двійкового суматора. Вхід синхронізації паралельного регістра пам'яті з'єднаний з першим входом синхронізації пристрою та C -входами всіх D -тригерів паралельного регістра пам'яті. C -входи D -тригерів регістра наскрізних переносів з'єднані з першою вхідною шиною синхронізації. R -входи з'єднані між собою та R -входами тригерів паралельного регістра пам'яті і другою шиною пристрою. D -входи тригерів регістра наскрізних переносів молодших p -розрядів пристрою з'єднані з інверсними виходами наскрізних переносів i -их повних однорозрядних двійкових суматорів, інверсні виходи D -тригерів з'єднані з прямими входами переносу $(i+1)$ -их двійкових повних однорозрядних суматорів. Додатково молодший розряд пристрою містить повний однорозрядний синхронізований суматор, вхід якого є додатковим біт-орієнтованим входом пристрою, додатково уведений двійковий m -розрядний синхронний лічильник, перший (JK) інформаційний вхід якого додатково з'єднаний з інверсним виходом D -тригера наскрізного переносу p -го розряду накопичуючого суматора. Другий вхід (R) двійкового лічильника додатково з'єднаний з другою інформаційною шиною пристрою, а прямі виходи тригерів двійкового лічильника додатково з'єднані з вихідною m -розрядною шиною пристрою.