

Корисна модель належить до засобів обчислювальної техніки і може бути використана як компонент швидкодіючих спеціалізованих процесорів цифрового опрацювання даних та кодів RGB-пікселів кольорових зображень, у структурах низових рівнів кіберфізичних та розподілених моніторингових систем, а також арифметико-логічних пристроях опрацювання багаторозрядних чисел у задачах розпізнавання образів, криптозахисту, стиснення та впорядкування масивів даних.

Пристрій реалізує операцію визначення вибіркового математичного сподівання згідно з

$$\text{виразом } M_x = \frac{1}{m} \sum_{i=1}^m X_i,$$

де X_i - цифровий двійковий n -розрядний відлік, m - кількість накопичень суми відліків, яка є кратною цілому степеню числа 2.

У результаті накопичення (m), n -розрядних цифрових відліків, результат визначення вибіркового математичного сподівання формується в m -старших розрядах двійкової суми. Після m -циклів накопичення суми X_i значення M_x зчитується, а пристрій сумування скидається у нульовий стан.

У результаті визначення вибіркового математичного сподівання, періодично з інтервалом дискретизації π формується послідовність цифрових відліків M_x , що призводить до зростання інформативності, зменшення об'єму даних у m -разів та зміни спектра, що відповідає цифровому фільтру низьких частот. Ці властивості, вибіркового математичного сподівання, забезпечують виключно широкі застосування цієї оцінки, у задачах статистичного та кореляційного аналізу, розпізнавання образів, стиснення інформації та інших.

Відомий аналог - пристрій для сумування [Соловьев Б.И., Устройство для суммирования // Патент RU № 2546569, Бюл. № 13, 2014], структурну схему якого ілюструють на фіг. 1, що містить накопичуючий суматор, паралельний регістр пам'яті, n -молодших інформаційних входів накопичуючого суматора з'єднані з n -першими входами пристрою, а m -старших інформаційних входів, відповідно з'єднані з нульовим потенціалом, виходи $(n+m)$ -розрядного двійкового суматора з'єднані з відповідними входами паралельного регістра пам'яті, відповідні виходи якого з'єднані з другими відповідними входами накопичуючого суматора і з відповідними виходами пристрою, а вхід синхронізації паралельного регістра пам'яті з'єднаний з першим входом синхронізації пристрою.

Недоліком такого пристрою для підсумування є низька швидкодія, яка обумовлена тим, що сигнали синхронізації та запису в паралельний регістр пам'яті можливо подавати тільки тоді, коли закінчатся всі наскрізні переноси у комбінаційній схемі накопичуючого суматора.

Відомий найближчий аполог - накопичуючий двійковий суматор [Николайчук Я.М., Возна Н.Я., Грига В.М., Пітух І.Р., Давлетова А.Я., Грига Л.П., Патент України № 150332 Накопичуючий двійковий суматор, Бюл. № 5, 2022], структурну схему якого ілюструють на фіг. 2, що містить першу вхідну n -розрядну шину, другу вихідну m -розрядну шину, n -розрядний накопичуючий суматор, n -входів якого з'єднані з першими n -входами пристрою, виходи накопичуючого суматора з'єднані з відповідними входами паралельного регістра пам'яті, прямі виходи якого з'єднані з другими входами накопичуючого двійкового суматора, вхід синхронізації паралельного регістра пам'яті з'єднаний з першим входом синхронізації пристрою та С-входами всіх D-тригерів паралельного регістра пам'яті, С-входи D-тригерів регістра наскрізних переносів з'єднані з першою вхідною шиною синхронізації, R-входи з'єднані між собою та R-входами тригерів паралельного регістра пам'яті і другою шиною пристрою, D-входи тригерів регістра наскрізних переносів молодших n -розрядів пристрою з'єднані з інверсними виходами наскрізних переносів i -их повних однорозрядних двійкових суматорів, інверсні виходи D-тригерів з'єднані з прямими входами переносу $(i+1)$ -их двійкових повних однорозрядних суматорів.

Такий пристрій характеризується високою швидкодією, оскільки виконання операції додавання в накопичуючому суматорі, який містить синхронізовані однорозрядні двійкові

суматори, здійснюється за 4 мікротакти, незалежно від n -розрядності вхідних цифрових відліків X_i .

Недоліком такого пристрою є затримка сигналів в кінці циклу накопичення суми X_i , при зчитуванні кінцевого результату за $(m+n)\tau_s$ (мікротактів), де τ_s - затримка сигналу наскрізного переносу в одному розряді синхронізованого суматора ($\tau_s=3$ мікротакти). Іншим недоліком такого пристрою є нерегулярність структури, яка обумовлена наявністю неповного однорозрядного суматора у молодшому розряді пристрою, а також обмежені функціональні можливості, які обумовлені відсутністю біт-орієнтованого входу пристрою, з'єднаного з входом наскрізного переносу суматора наймолодшого розряду пристрою, що обмежує можливість нарощування розрядності накопичуючого суматора та його стикування з біт-орієнтованими виходами інших спецпроцесорів.

В основу корисної моделі поставлена задача підвищення швидкодії, покращення регулярності структури та розширення функціональних можливостей пристрою визначення вибіркового математичного сподівання, шляхом застосування повних двійкових синхронізованих однорозрядних суматорів у молодших n -розрядах пристрою та двійкового синхронного лічильника в старших m -розрядах пристрою. Це дозволяє зчитувати цифрове m -розрядне двійкове значення вибіркового математичного сподівання M_x , без додаткового зчитування інформації з тригерів накопичуючого суматора.

Поставлена задача вирішується тим, що пристрій визначення вибіркового математичного сподівання містить першу вхідну n -розрядну шину, другу вихідну m -розрядну шину, n -розрядний накопичуючий суматор, n -входів якого з'єднані з першими n -входами пристрою, виходи накопичуючого суматора з'єднані з відповідними входами паралельного регістра пам'яті, прямі виходи якого з'єднані з другими входами накопичуючого двійкового суматора, вхід синхронізації паралельного регістра пам'яті з'єднаний з першим входом синхронізації пристрою та С-входами всіх D-тригерів паралельного регістра пам'яті, С-входи D-тригерів регістра наскрізних переносів з'єднані з першою вхідною шиною синхронізації, R-входи з'єднані між собою та R-входами тригерів паралельного регістра пам'яті і другою шиною пристрою, D-входи тригерів регістра наскрізних переносів молодших n -розрядів пристрою з'єднані з інверсними виходами наскрізних переносів i -их повних однорозрядних двійкових суматорів, інверсні виходи D-тригерів з'єднані з прямими входами переносу $(i+1)$ -их двійкових повних однорозрядних суматорів, згідно з корисної моделі додатково молодший розряд пристрою містить повний однорозрядний синхронізований суматор, вхід якого є додатковим біт-орієнтованим входом пристрою, додатково уведений двійковий m -розрядний синхронний лічильник, перший (JK)-інформаційний вхід якого додатково з'єднаний з інверсним виходом D-тригера наскрізного переносу n -го розряду накопичуючого суматора, другий R-вхід двійкового лічильника додатково з'єднаний з другою інформаційною шиною пристрою, а прямі виходи тригерів двійкового лічильника додатково з'єднані з вихідною m -розрядною шиною пристрою.

Суть корисної моделі пояснюють креслення.

На фіг.1 – показано аналог.

На Фіг.2 – показано схему найближчого аналога.

На фіг.- 3 показано структуру пристрою визначення вибіркового математичного сподівання.

Пристрій визначення вибіркового математичного сподівання містить: 1 - вхідна n -розрядна шина; 2 - n -розрядний накопичуючий двійковий суматор; 2.1 - повний однорозрядний двійковий суматор; 3 - m -розрядний синхронний двійковий лічильник; 4 - перший інформаційний канал синхронізації пристрою; 5 - другий інформаційний канал скиду тригерів накопичуючого суматора та двійкового синхронного лічильника у нульовий стан; 6 - третій вхідний канал пристрою; 7 - m -розрядна вихідна інформаційна шина пристрою ($Y_{(1)}, \dots, Y_{(m-1)}, Y_{(m)}$).

Пристрій працює наступним чином. На початку циклу накопичення інформації сигналом вхідної шини (1) по R-входах, всі тригери регістрів наскрізних переносів (2.2), пам'яті (2.3) та

JK-тригерів двійкового лічильника (3) скидаються в нульовий стан. У кожному мікроциклі роботи пристрою сигнали першого інформаційного каналу синхронізації пристрою (4) подаються на С-входи всіх D-тригерів накопичуючого суматора (2) пристрою, запис інформації в які здійснюється по D-входах та С-входи JK-тригерів лічильника (3), в якому формується код старших m -двійкових розрядів пристрою. При цьому, у кожному мікроциклі роботи у молодших n -розрядах пристрою відбувається накопичення n -розрядних цифрових кодів X_i , а в старших m -розрядах лічильника (3) накопичується m -розрядний код $(Y_{(1)}, \dots, Y_{(m-1)}, Y_{(m)})$ вибіркового математичного сподівання M_x . У кінці циклу роботи пристрою відбувається зчитування отриманого двійкового коду M_x , який формується на вихідній m -розрядній шині пристрою (7), одночасно із скидом всіх тригерів пристрою у нульовий стан.

Швидкодія відомого накопичуючого двійкового суматора у повному циклі розраховується згідно з виразом:

$$\tau_1 = m \times [\tau_S + \log_2(m+n) \times \tau_C],$$

де $\tau_S=4$ (мікротакти) - затримка сигналу формування суми в одному розряді синхронізованого суматора, $\tau_C=3$ (мікротакти) - затримка сигналів наскрізного переносу на виході повного синхронізованого однорозрядного суматора.

Наприклад, при розрядності кодів RGB-пікселів 8 біт, і кількості циклів накопичення суми $m=2048$, затримка сигналів в одному мікроциклі складає 4 мікротакти, а у повному циклі роботи відомого пристрою, відповідно складає:

$$\tau_1 = 2048 \times [4 + (11+8) \times 3] = 2048 \times 69 = 141312 \text{ (мікротактів)}.$$

Швидкодія удосконаленого пристрою вибіркового математичного сподівання у кожному повному циклі визначається згідно з виразом:

$$\tau_2 = m \times (\tau_T + \tau_S),$$

де, $\tau_S=4$ (мікротакти) - затримка сигналів в одному розряді накопичуючого суматора, $\tau_T=2$ (мікротакти) - затримка сигналів скиду у нульовий стан всіх тригерів пристрою на початку кожного повного циклу визначення вибіркового математичного сподівання.

Таким чином загальна затримка сигналів в одному циклі роботи удосконаленого пристрою складає:

$$\tau_2 = 6 \times 2048 = 12288 \text{ (мікротактів)}.$$

Отже, підвищення швидкодії удосконаленого пристрою визначення вибіркового математичного сподівання, у порівнянні з прототипом, відповідно складає:

$$k_\tau = \frac{141312}{12288} = 115 \text{ рази}.$$

Оскільки, згідно з сучасними стандартами комп'ютерних дисплеїв [https://uk.wikipedia.org/wiki/Стандарти_комп'ютерних_дисплеїв], при розрядності пікселів ($n=10$) і кількості пікселів по ширині сучасних комп'ютерних дисплеїв може зростати в границях 4096-7680, то підвищення швидкодії удосконаленого пристрою буде пропорційно зростати.

Підвищення регулярності пристрою досягнуто застосуванням у молодшому розряді накопичуючого суматора повного однорозрядного суматора, який містить 6 логічних елементів. Розширення функціональних можливостей пристрою, досягнуто додатковим введенням біт-орієнтованого каналу пристрою з'єднаного з входом наскрізного переносу суматора молодшого розряду пристрою, це дає можливість розширювати функціональні можливості пристрою шляхом каскадування та стикування із спецпроцесорами з біт-орієнтованими інформаційними виходами.

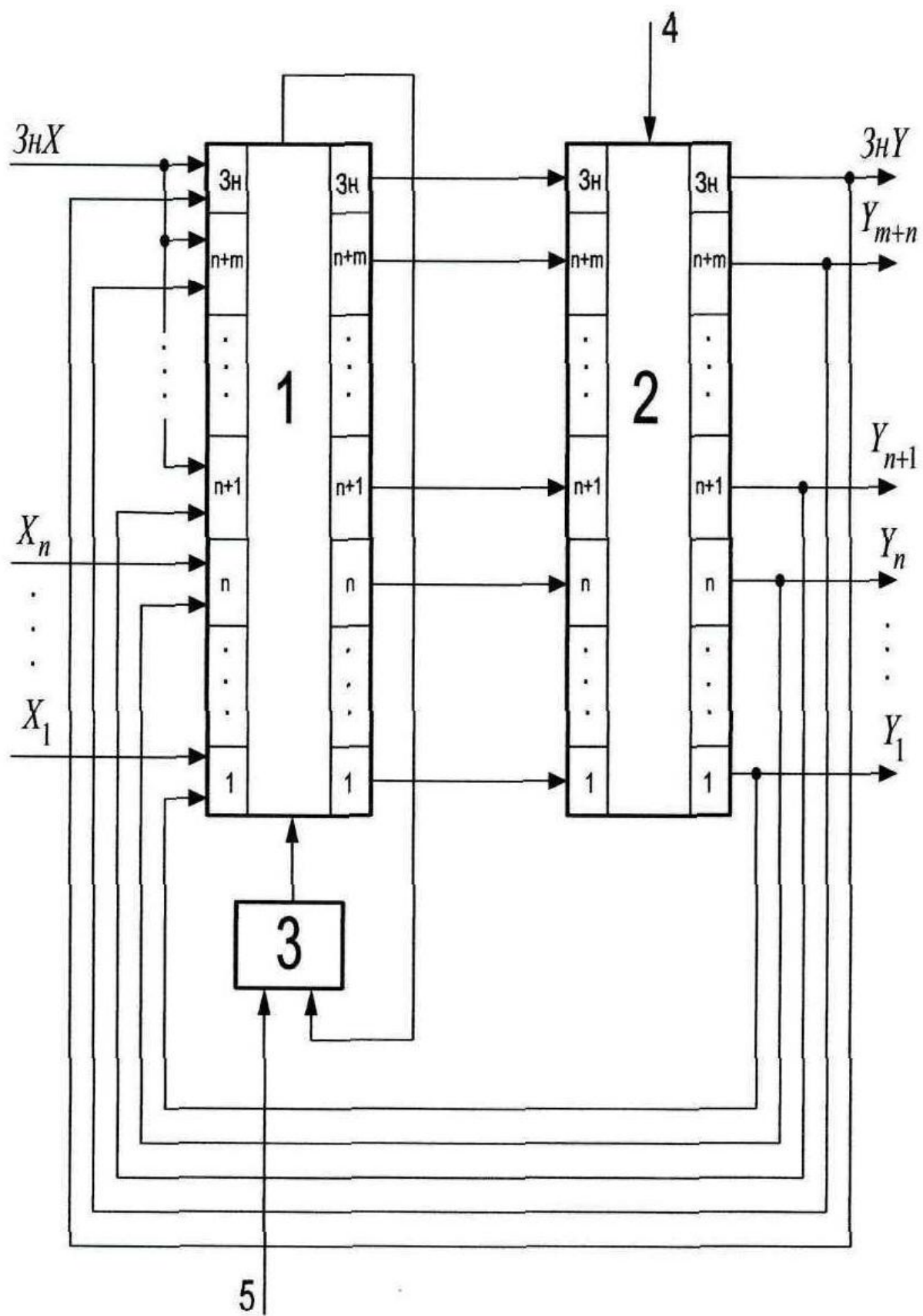
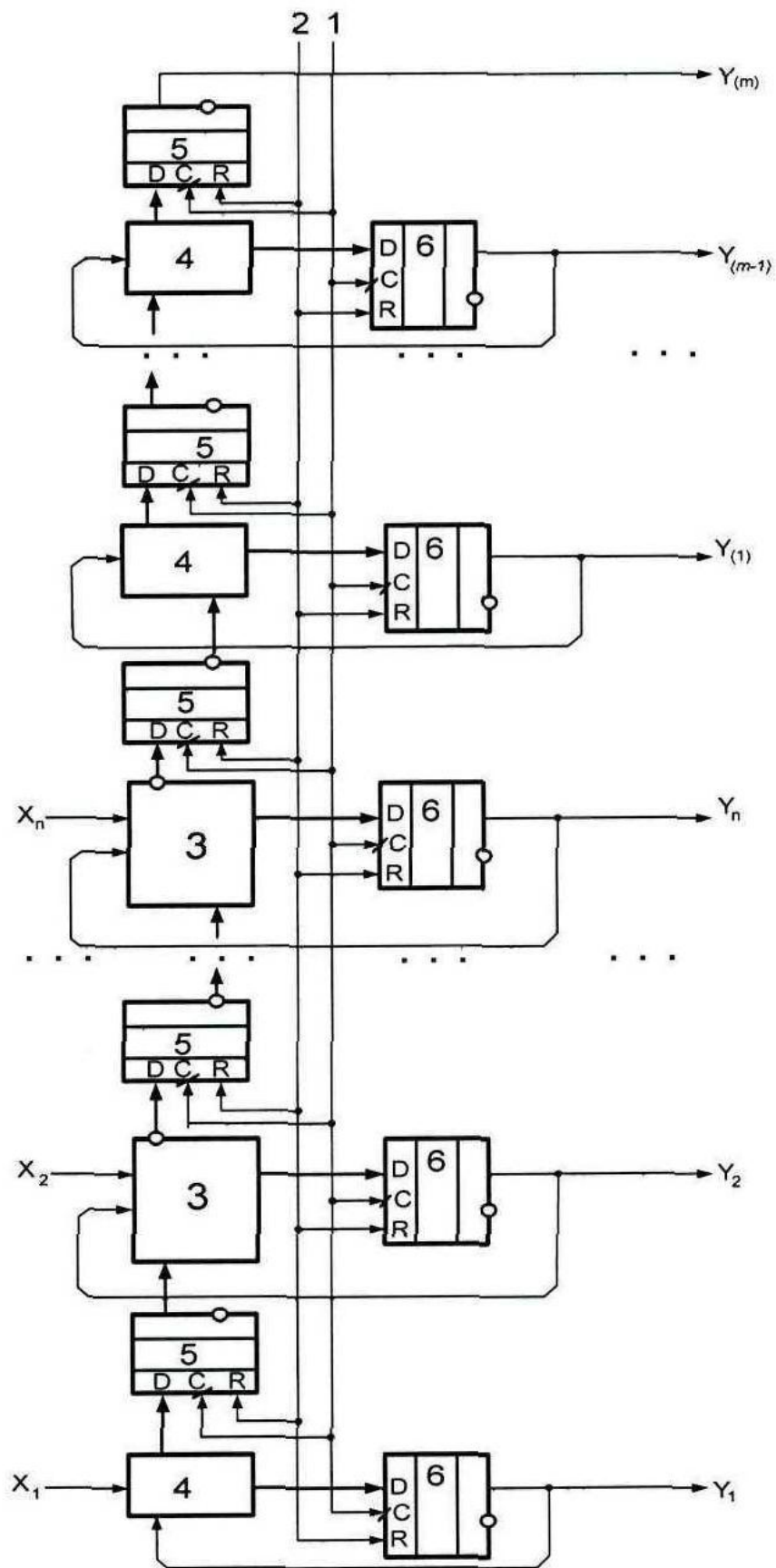
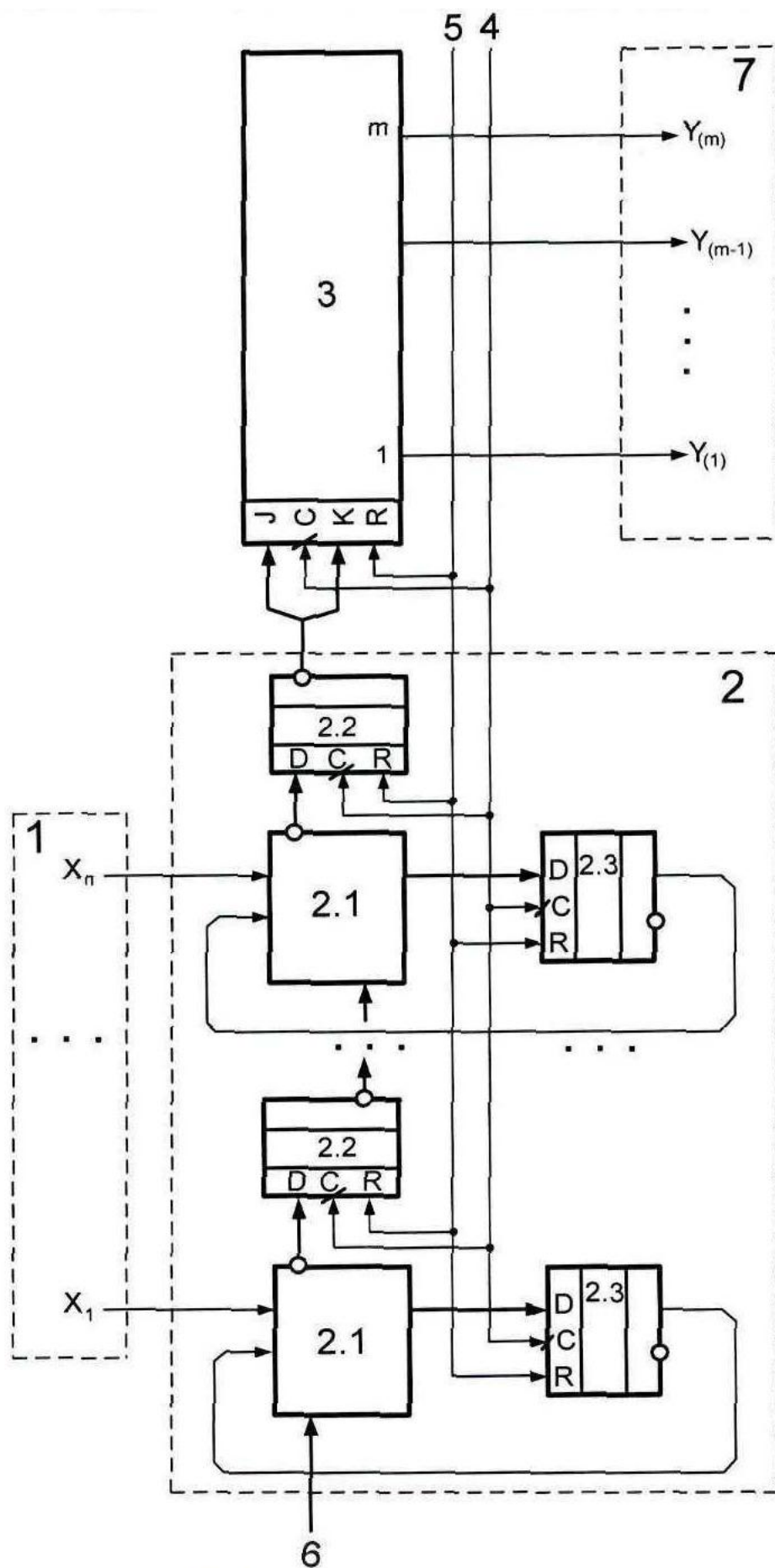


Fig. 1



Фиг. 2



Фиг.3